



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0008795
Application Number

출원년월일 : 2003년 02월 12일
Date of Application FEB 12, 2003

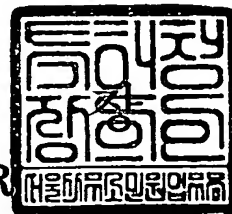
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 09 월 04 일

특 허 청

COMMISSIONER



【서지사항】

| | |
|------------|--|
| 【서류명】 | 특허출원서 |
| 【권리구분】 | 특허 |
| 【수신처】 | 특허청장 |
| 【참조번호】 | 0005 |
| 【제출일자】 | 2003.02.12 |
| 【발명의 명칭】 | 선택적인 데이터 캐시 구조를 갖는 데이터 프로세싱 장치 및 이를 포함하는 컴퓨터 시스템 |
| 【발명의 영문명칭】 | Data processing device having selective data cache scheme and computer system including the same |
| 【출원인】 | |
| 【명칭】 | 삼성전자 주식회사 |
| 【출원인코드】 | 1-1998-104271-3 |
| 【대리인】 | |
| 【성명】 | 임창현 |
| 【대리인코드】 | 9-1998-000386-5 |
| 【포괄위임등록번호】 | 1999-007368-2 |
| 【대리인】 | |
| 【성명】 | 권혁수 |
| 【대리인코드】 | 9-1999-000370-4 |
| 【포괄위임등록번호】 | 1999-056971-6 |
| 【발명자】 | |
| 【성명의 국문표기】 | 김윤환 |
| 【성명의 영문표기】 | KIM, YUN-HWAN |
| 【주민등록번호】 | 741206-1350827 |
| 【우편번호】 | 449-901 |
| 【주소】 | 경기도 용인시 기흥읍 농서리 7-1 삼성반도체 남자기숙사 마로니에동 306호 |
| 【국적】 | KR |
| 【발명자】 | |
| 【성명의 국문표기】 | 이중언 |
| 【성명의 영문표기】 | LEE, JOONG-EON |
| 【주민등록번호】 | 660316-1041836 |

【우편번호】 463-050
【주소】 경기도 성남시 분당구 서현동 시범단지 한양아파트 328동 603호
【국적】 KR
【발명자】
【성명의 국문표기】 임경묵
【성명의 영문표기】 LIM,KYOUNG-MOOK
【주민등록번호】 660502-1001515
【우편번호】 449-846
【주소】 경기도 용인시 수지읍 풍덕천리 삼성5차아파트 519동 1102호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 2 면 2,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 24 항 877,000 원
【합계】 908,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

선택적인 데이터 캐시 구조를 갖는 데이터 프로세싱 장치 및 이를 포함하는 컴퓨터 시스템이 개시된다. 데이터 프로세싱 장치는 마이크로 프로세서, 코-프로세서, MCU 데이터 캐시, X 데이터 캐시, 그리고 Y 데이터 캐시를 포함한다. 마이크로 프로세서는 명령어를 패치하여 실행하고, 코-프로세서는 디지털 신호 처리(DSP) 기능을 수행한다. MCU 데이터 캐시는 마이크로 프로세서가 처리하는 데이터를 저장하고, X 데이터 캐시는 코-프로세서가 처리하는 제1군의 데이터를 저장하고, Y 데이터 캐시는 코-프로세서가 처리하는 제2군의 데이터를 저장한다.

【대표도】

도 2

【색인어】

데이터 캐시, MCU, DSP

【명세서】**【발명의 명칭】**

선택적인 데이터 캐시 구조를 갖는 데이터 프로세싱 장치 및 이를 포함하는 컴퓨터 시스템
{Data processing device having selective data cache scheme and computer system including
the same}

【도면의 간단한 설명】

도 1은 본 발명의 일실시예에 따른 컴퓨터 시스템을 나타내는 도면이다.

도 2는 도 1의 마스터 장치들의 일예를 나타내는 도면이다.

도 3은 도 1의 마스터 장치들의 다른 예를 나타내는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<4> 본 발명은 컴퓨터 시스템에 관한 것으로, 특히 선택적인 데이터 캐시 구조를 갖는 데이터 프로세싱 장치 및 이를 포함하는 컴퓨터 시스템에 관한 것이다.

<5> 다수개의 프로세서들을 포함하는 컴퓨터 시스템은 고속(high speed)으로 정교한 (sophisticated) 기능을 수행한다. 이를 위한 중요한 요소들 중의 하나가 관계되는 (associated) 메모리 시스템의 성능이다. 일반적으로, 메모리 시스템은 프로그램 요구 정보를 핸들링하는 것을 용이하게 하는 캐시 메모리를 포함한다. 캐시 메모리의 용량이 클수록, 그리고 속도가 빠를수록, 컴퓨터 시스템의 전체 성능이 향상된다.

- <6> 캐시 메모리의 성능을 향상시키기 위한 종래 기술들 중에는 다양한 구조적인 관계로 이루어진 다중 캐시 메모리들의 사용이 있다. 예를 들면, 명령들과 데이터들을 위한 별개의 캐시 메모리들, 메모리 액세스 시간을 향상시키기 위한 2개의 병렬 캐시 메모리들, 그리고 계층적 구조로 서로 다른 크기를 갖는 캐시 메모리들이 존재한다. 이러한 캐시 메모리들은 하나 이상의 프로세싱부 또는 실행부들과 함께 사용되어 짧은 시간 동안 수개의 다른 캐시들과의 접근을 시작한다(initiate).
- <7> 한편, 최근들어 프로세서, 캐시 메모리, 복수의 주변기기 및 외부 버스 인터페이스들이 하나의 칩에 포함되어 집적화된 시스템-온-칩(System-On-Chip: 이하 "SOC"라고 칭한다)이 발전하고 있다. SOC는 하나의 작은 컴퓨터 시스템으로 여겨진다. SOC에는 일반적으로 2개 이상의 프로세서가 내장되는 데, 제어를 담당하는 마이크로 프로세서(Microprocessor)와 데이터 처리를 담당하는 코-프로세서(co-processor)인 DSP(Digital Signal Processor)가 그것이다. DSP는 전형적으로 멀티플리케이션(multiplication) 및 어큐머레이션(accumulation), 하나 이상이 메모리 데이터 독출 또는 기입, 그리고 어드레스 포인터 레지스터들을 증가시키는 동작을 수행한다.
- <8> 그런데, SOC 내 마이크로 프로세서와 DSP는 외부 메모리 데이터를 액세스하고자 하는 경우, 각각이 액세스하고자 하는 외부 메모리의 어드레스 영역에 따라 캐시 메모리를 따로 사용한다. 이는 SOC 내 캐시 메모리 용량을 크게 하고 이에 따라 SOC 내 차지하는 면적을 크게 한다.
- <9> 따라서, 마이크로 프로세서와 코-프로세서가 내장된 컴퓨터 시스템에서 캐시 메모리의 용량을 줄일 수 있는 방안이 필요하다.

【발명이 이루고자 하는 기술적 과제】

- <10> 본 발명의 목적은 마이크로 컴퓨터의 캐시 메모리 용량을 증대시킬 수 있는 데이터 프로세싱 장치를 제공하는 데 있다.
- <11> 본 발명의 다른 목적은 칩 면적을 줄일 수 있는 데이터 프로세싱 장치를 제공하는 데 있다.
- <12> 본 발명의 또다른 목적은 상기 데이터 프로세싱 장치를 포함하는 컴퓨터 시스템을 제공하는 데 있다.

【발명의 구성 및 작용】

- <13> 상기 목적을 달성하기 위하여, 본 발명의 일실시예에 따른 데이터 프로세싱 장치는 명령어를 패치하여 실행하는 마이크로 프로세서(MCU); 디지털 신호 처리(DSP) 기능을 수행하는 코-프로세서; 마이크로 프로세서가 처리하는 데이터를 저장하는 MCU 데이터 캐시; 코-프로세서가 처리하는 제1군의 데이터를 저장하는 X 데이터 캐시; 및 코-프로세서가 처리하는 제2군의 데이터를 저장하는 Y 데이터 캐시를 포함한다.
- <14> 상기 다른 목적을 달성하기 위하여, 본 발명의 다른 실시예에 따른 데이터 프로세싱 장치는 명령어를 패치하여 실행하는 마이크로 프로세서(MCU); 디지털 신호 처리(DSP) 기능을 수행하는 코-프로세서; 코-프로세서가 처리하는 제1군의 데이터를 저장하는 X 데이터 캐시; 및 코-프로세서가 처리하는 제2군의 데이터를 저장하는 Y 데이터 캐시를 구비하고, X 데이터 캐시 및 Y 데이터 캐시를 마이크로 프로세서가 선택적으로 액세스하여 마이크로 프로세서가 처리하는 데이터를 저장한다.

<15> 상기 또다른 목적을 달성하기 위하여, 본 발명의 일실시예에 따른 컴퓨터 시스템은 시스템 버스; 일련의 명령들을 수신하고 이를 디코딩하여 그 명령에 따른 동작을 실행하는 호스트 프로세서; 시스템 버스의 사용 우선 순위를 중재하는 중재부; 호스트 프로세서로부터 지시되는 디지털 신호 처리를 수행하는 데이터 프로세싱 장치들; 및 데이터 프로세싱 장치들에 의해 처리되는 데이터들을 저장하는 외부 메모리를 구비하고, 데이터 프로세싱 장치들 중 어느 하나는 명령어를 패치하여 실행하는 마이크로 프로세서(MCU); 디지털 신호 처리(DSP) 기능을 수행하는 코-프로세서; 마이크로 프로세서가 처리하는 데이터를 저장하는 MCU 데이터 캐시; 코-프로세서가 처리하는 제1군의 데이터를 저장하는 X 데이터 캐시; 및 코-프로세서가 처리하는 제2군의 데이터를 저장하는 Y 데이터 캐시를 포함한다.

<16> 상기 또다른 목적을 달성하기 위하여, 본 발명의 다른 실시예에 따른 컴퓨터 시스템은 시스템 버스; 일련의 명령들을 수신하고 이를 디코딩하여 그 명령에 따른 동작을 실행하는 호스트 프로세서; 시스템 버스의 사용 우선 순위를 중재하는 중재부; 호스트 프로세서로부터 지시되는 디지털 신호 처리를 수행하는 데이터 프로세싱 장치들; 및 데이터 프로세싱 장치들에 의해 처리되는 데이터들을 저장하는 외부 메모리를 구비하고, 데이터 프로세싱 장치들 중 어느 하나는 명령어를 패치하여 실행하는 마이크로 프로세서(MCU); 디지털 신호 처리(DSP) 기능을 수행하는 코-프로세서; 마이크로 프로세서가 처리하는 데이터 또는 코-프로세서가 처리하는 제1군의 데이터를 저장되는 X 데이터 캐시; 및 마이크로 프로세서가 처리하는 데이터 또는 코-프로세서가 처리하는 제2군의 데이터를 저장하는 Y 데이터 캐시를 포함한다.

<17> 따라서, 본 발명에 의하면 MCU가 액세스 가능한 캐시 메모리 용량을 증대시킬 수 있으며, MCU 데이터 캐시를 사용하지 않음으로써 마스터 장치의 면적을 줄일 수 있다.

- <18> 이하, 본 발명의 바람직한 실시예의 상세한 설명이 첨부된 도면들을 참조하여 설명될 것이다. 도면들 중 참조부호들 및 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 동일한 참조번호들 및 부호들로 나타내고 있음은 명백하다.
- <19> 도 1은 본 발명의 일실시예에 따른 컴퓨터 시스템을 나타내는 도면이다. 이를 참조하면, 컴퓨터 시스템은 SOC(100)와 외부 메모리(160)를 포함한다. SOC(100) 내에는 호스트 프로세서(110), 중재부(112), 디코더(114), 마스터 장치들(120, 122, 124), 버스 브릿지(126), 슬레이브 장치들(130, 132, 134), 그리고 버스들(140, 150)을 포함한다. 호스트 프로세서(110)는 일종의 CPU로써, 일련의 명령들(sequence of instructions)을 수신하고 이를 디코딩하여 그 명령에 따른 동작을 실행한다. 중재부(112)는 주변 장치들의 버스 액세스 요구를 감시하고 각각의 버스 액세스 요구 중 1개의 우선 순위에 결정하여, 버스들(140, 150)의 사용 우선 순위를 중재한다. 디코더(114)는 마스터 장치들(120, 122, 124)과 슬레이브 장치들(130, 132, 134)을 선택하기 위하여, 이들 장치들의 어드레스 레지스터에 저장된 어드레스를 맵핑시킨다.
- <20> 마스터 장치들(120, 122, 124)은 일종의 데이터 프로세싱 장치들으로써, 각각 마이크로 프로세서(이하 "MCU"라고 칭한다), DSP와 같은 코-프로세서, 그리고 캐시 메모리들을 내장한다. 마스터 장치들(120, 122, 124)을 구체적으로 설명하는 도면을 도 2 및 도 3에 나타낸다. 마스터 장치들(120, 122, 124)에 대한 설명은 이후에 기술된다.
- <21> 버스 브릿지(126)는 메인 버스(140)와 확장 버스(150)를 연결시켜 준다. 확장 버스(150)는 고속의 버스로서 데이지 체인(daisy chain) 방식으로 거의 무한정 확장할 수 있는 버스이다. 슬레이브 장치들(130, 132, 134)은 사용자 필요에 따라 추가되는 장치들으로써, 스토리지 확장 모듈, 비디오 컨트롤 확장 모듈, 멀티미디어 확장 모듈, 그리고 통신 디바이스 확장 모듈 등을 의미한다. 스토리지 확장 모듈은 하드 디스크, DVD, CD 등을 지원하고, 비디오 컨트롤 확장 모

들은 LCD, CRT 모니터, 차세대 디스플레이 장치들을 지원하고, 멀티미디어 확장 모듈은 사운드 카드, 텔레비전 수신 장치, MPEG 장치 등을 지원하고, 통신 디바이스 확장 모듈은 네트워크, 모뎀, 초고속 통신망을 지원한다.

<22> 도 2를 참조하면, 마스터 장치(120, 122, 124)는 MCU(202), DSP 코-프로세서(204), MCU 데이터 캐시(212), X 데이터 캐시(214), 그리고 Y 데이터 캐시(216)를 포함한다. MCU(202)는 전형적으로 계산 기능(정수, 부동소수점, 부울) 형태의 컴퓨터 기능을 실행하고 어드레스 변환 기능을 제공하는 데, 명령어 패치 유닛(Instruction Fetch Unit:IFU)과 명령어 실행 유닛(Instruction Execution Unit:IEU), 그리고 캐시 제어 유닛(Cache Control Unit) 등을 포함한다.

<23> 명령어 패치 유닛은 1차적으로 명령어를 패치하고, 명령어 실행 유닛에 의해 실행이 연기된 명령어 버퍼링, 그리고 다음 명령어의 패치에 사용될 다음의 가상 어드레스의 계산을 수행한다. 명령어는 캐시 제어 유닛 내에 제공된 명령어 캐시로부터 명령어 패치 유닛에 의해 패치된다. 패치될 명령어의 가상 어드레스는 물리적 어드레스로의 번역을 통해 명령어 캐시로 전달된다.

<24> 명령어 실행 유닛은 캐시 제어 유닛 내에 제공된 데이터 캐시에 관한 데이터를 저장 및 검색한다. 명령어 실행 유닛은 가상 데이터 어드레스를 캐시 제어 유닛에 제공하기 적합한 물리적 어드레스로 변환시키는 데, 이는 로드/스토어 연산이 적절한 프로그램 스트림 순서로 발생하도록 보장한다. 캐시 제어 유닛은 데이터에 대한 물리적 어드레스로 정의된 요청이 명령어 캐시 또는 데이터 캐시로부터 만족될 수 있는지를 결정한다. 도 2의 본 실시예에서는 캐시 데이터 유닛 내 데이터 캐시(212)를 대표적으로 도시한다.

<25> DSP 코-프로세서(204)는 파이프 라인 방식의 복잡한 수학적 알고리즘을 실행하는 하드웨어 곱셈기에 연결된 한 개 이상의 수학 연산부(ALU)를 갖는 실행부를 포함한다. DSP 코-프로세서(204)는 MCU(202)에 비하여 더욱 수학적 기능이 강하며, 비디오, 오디오, 비디오 캡처와 플레이백, 전화 통신, 음성인식과 합성, 통신 등의 멀티 미디어 기능을 처리한다. 이러한 DSP 기능은 호스트 프로세서(CPU, 110, 도 1)에 의해 마이크로 코드화되어(microcoded) 불려나온다(invoked). 마이크로 코드된 커널(kernel)로는 FIR(Finite Impulse Response) 및 IIR(Infinite Impulse Response) 필터들, FFT(Fourier Transform), 상관 함수(correlation function), 매트릭스 멀티플라이(matrix multiply), 그리고 테일러 시리즈 함수(taylor series function)를 포함한다. 이외에 다양한 DSP 기능들이 추가적으로 마이크로 코드화될 수 있다.

<26> 상술한 DSP 기능들 가운데 예로써, 상관 함수의 경우에는 X 벡터와 Y 벡터를 포함한다. X 벡터는 X 데이터 캐시(214)에 저장되고 Y 벡터는 Y 데이터 캐시(216)에 저장된다. X 데이터 캐시(214)와 Y 데이터 캐시(216)에 X 벡터와 Y 벡터가 각각 구분되어 저장되는 것 이외에, 소정의 응용 프로그램 데이터들이 구분없이 저장될 수 있다. MCU(202)는 MCU 데이터 캐시(212) 외에 X 데이터 캐시(214)와 Y 데이터 캐시(216)를 액세스할 수 있다. 이는 MCU(202) 입장에서 액세스 가능한 캐시 메모리 용량이 증대됨을 의미한다.

<27> 외부 메모리(160)는 예시적으로 MCU 영역(222), X 데이터 영역(224), 그리고 Y 데이터 영역(226)으로 구분된다. MCU 영역(222)은 MCU 데이터 캐시(212)로부터/로 데이터 접근 가능한 메모리 영역이고, X 데이터 영역(224)은 X 데이터 캐시(214)로부터/로 데이터 접근 가능한 영역이고, Y 데이터 영역(226)은 Y 데이터 캐시(216)로부터/로 데이터 접근 가능한 영역이다.

<28> 도 3은 본 발명의 다른 실시예에 따른 마스터 장치들(120', 122', 124')을 나타내는 도면이다. 이를 참조하면, 마스터 장치들(120', 122', 124')은 MCU(302), DSP 코-프로세서(304),

X 데이터 캐시(312), 그리고 Y 데이터 캐시(314)를 포함한다. 본 실시예의 마스터 장치들(120', 122', 124')은 도 2의 마스터 장치들(120, 122, 124)과 비교하여 MCU 데이터 캐시(212, 도 2)를 포함하지 않는다는 점에서 차이가 있다.

<29> MCU(302)는 X 데이터 캐시(312)와 Y 데이터 캐시(314)를 선택적으로 통하여 외부 메모리(160)로부터/로 데이터 전송을 수행하며, 외부 메모리(160)의 X 데이터 영역(322), MCU 영역(323), 그리고 Y 데이터 영역(324)이 선택적으로 접근 가능하다. DSP 코-프로세서(304)도 X 데이터 캐시(312)와 Y 데이터 캐시(314)를 선택적으로 통하여 외부 메모리(160)로부터/로 데이터 전송을 수행하며, 외부 메모리(160)의 한다. X 데이터 영역(322), MCU 영역(323), 그리고 Y 데이터 영역(324)이 선택적으로 접근 가능하다.

<30> 본 실시예에서는 MCU 데이터 캐시를 사용하지 않고 X 데이터 캐시(312)와 Y 데이터 캐시(314)를 MCU(302)가 액세스 가능하도록 설정된다. 이때, MCU(302)는 X 데이터 캐시(312) 또는 Y 데이터 캐시(314)를 선택적으로 하나만 액세스할 수 있고 둘 다를 액세스할 수 있다. 예를 들어, DSP 코-프로세서(304)가 사용하는 DSP 기능 응용 프로그램이 외부 메모리(160)의 X 데이터 영역을 많이 사용하고 있다면, MCU(302)는 Y 데이터 캐시(314)를 선택하여 외부 메모리(160)의 MCU 데이터 영역(323)과 Y 데이터 영역(324)을 액세스한다.

<31> 따라서, 본 실시예에 의하면, MCU 데이터 캐시를 사용하지 않음으로써 마스터 장치(120', 122', 124')의 면적을 줄일 수 있는 이점이 있다.

<32> 이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 예를 들면, 마스터 장치에 내장된 캐시들, X 데이터 캐시와 Y 데이터 캐시, 2 종류에 대하여 설명하고 있으나, 이와는 달리 DSP 기능 응용 프로그램의 특성에 맞추어 다양

한 종류의 데이터 캐시들을 내장할 수 있음은 물론이다. 그러므로, 본 발명의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<33> 상술한 본 발명에 의하면, MCU가 액세스 가능한 캐시 메모리 용량을 증대시킬 수 있으며, MCU 데이터 캐시를 사용하지 않음으로써 마스터 장치의 면적을 줄일 수 있다.

【특허청구범위】**【청구항 1】**

명령어를 패치하여 실행하는 마이크로 프로세서(MCU);

디지털 신호 처리(DSP) 기능을 수행하는 코-프로세서;

상기 마이크로 프로세서가 처리하는 데이터를 저장하는 MCU 데이터 캐시;

상기 코-프로세서가 처리하는 제1군의 데이터를 저장되는 X 데이터 캐시; 및

상기 코-프로세서가 처리하는 제2군의 데이터를 저장하는 Y 데이터 캐시를 구비하는 것을 특징으로 하는 데이터 프로세싱 장치.

【청구항 2】

제1항에 있어서, 상기 마이크로 프로세서는

정수, 부동소수점 및 부울의 계산 기능을 실행하는 것을 특징으로 하는 데이터 프로세싱 장치.

【청구항 3】

제1항에 있어서, 상기 코-프로세서는

비디오, 오디오, 비디오 캡처와 플레이백, 전화 통신, 음성인식과 합성, 또는 통신 멀티미디어 기능을 포함하는 상기 DSP 기능을 수행하는 것을 특징으로 하는 데이터 프로세싱 장치.

【청구항 4】

제3항에 있어서, 상기 DSP 기능은

FIR(Finite Impulse Response) 및 IIR(Infinite Impulse Response) 필터들, FFT(Fourier Transform), 상관 함수(correlation function), 매트릭스 멀티플라이(matrix multiply), 또는

테일러 시리즈 함수(taylor series function)로 마이크로 코드화되는 것을 특징으로 하는 데이터 프로세싱 장치.

【청구항 5】

명령어를 패치하여 실행하는 마이크로 프로세서(MCU);

디지털 신호 처리(DSP) 기능을 수행하는 코-프로세서;

상기 코-프로세서가 처리하는 제1군의 데이터를 저장되는 X 데이터 캐시; 및

상기 코-프로세서가 처리하는 제2군의 데이터를 저장하는 Y 데이터 캐시를 구비하고,

상기 X 데이터 캐시 및 Y 데이터 캐시를 상기 마이크로 프로세서가 선택적으로 액세스하여 상기 마이크로 프로세서가 처리하는 데이터를 저장하는 것을 특징으로 하는 데이터 프로세싱 장치.

【청구항 6】

제5항에 있어서, 상기 마이크로 프로세서는

정수, 부동소수점 및 부울의 계산 기능을 실행하는 것을 특징으로 하는 데이터 프로세싱 장치.

【청구항 7】

제5항에 있어서, 상기 코-프로세서는

비디오, 오디오, 비디오 캡처와 플레이백, 전화 통신, 음성인식과 합성, 또는 통신 멀티미디어 기능을 포함하는 상기 DSP 기능을 수행하는 것을 특징으로 하는 데이터 프로세싱 장치.

【청구항 8】

제7항에 있어서, 상기 DSP 기능은

FIR(Finite Impulse Response) 및 IIR(Infinite Impulse Response) 필터들, FFT(Fourier Transform), 상관 함수(correlation function), 매트릭스 멀티플라이(matrix multiply), 또는 테일러 시리즈 함수(taylor series function)로 마이크로 코드화되는 것을 특징으로 하는 데이터 프로세싱 장치.

【청구항 9】

시스템 버스;

일련의 명령들을 수신하고 이를 디코딩하여 그 명령에 따른 동작을 실행하는 호스트 프로세서;

상기 시스템 버스의 사용 우선 순위를 중재하는 중재부;

상기 호스트 프로세서로부터 지시되는 디지털 신호 처리를 수행하는 데이터 프로세싱 장치들; 및

상기 데이터 프로세싱 장치들에 의해 처리되는 데이터들을 저장하는 외부 메모리를 구비하고,

상기 데이터 프로세싱 장치들 중 어느 하나는

명령어를 패치하여 실행하는 마이크로 프로세서(MCU);

디지털 신호 처리(DSP) 기능을 수행하는 코-프로세서;

상기 마이크로 프로세서가 처리하는 데이터를 저장하는 MCU 데이터 캐시;

상기 코-프로세서가 처리하는 제1군의 데이터를 저장되는 X 데이터 캐시; 및

상기 코-프로세서가 처리하는 제2군의 데이터를 저장하는 Y 데이터 캐시를 구비하는 것을 특징으로 하는 컴퓨터 시스템.

【청구항 10】

제9항에 있어서, 상기 컴퓨터 시스템은

사용자 필요에 따라 추가되는 슬레이브 장치들을 더 구비하는 것을 특징으로 하는 컴퓨터 시스템.

【청구항 11】

제10항에 있어서, 상기 슬레이브 장치들은

스토리지 확장 모듈, 비디오 컨트롤 확장 모듈, 멀티미디어 확장 모듈, 또는 통신 디바이스 확장 모듈인 것을 특징으로 하는 컴퓨터 시스템.

【청구항 12】

제10항에 있어서, 상기 컴퓨터 시스템은

상기 데이터 프로세싱 장치 및 슬레이브 장치들을 어드레싱하는 디코더를 더 구비하는 것을 특징으로 하는 컴퓨터 시스템.

【청구항 13】

제9항에 있어서, 상기 외부 메모리는

상기 MCU 데이터 캐시로부터/로 데이터를 저장하는 MCU 데이터 영역;

상기 X 데이터 캐시로부터/로 데이터를 저장하는 X 데이터 영역; 및

상기 Y 데이터 캐시로부터/로 데이터를 저장하는 Y 데이터 영역을 구비하는 것을 특징으로 하는 컴퓨터 시스템.

【청구항 14】

제9항에 있어서, 상기 마이크로 프로세서는

정수, 부동소수점 및 부울의 계산 기능을 실행하는 것을 특징으로 하는 컴퓨터 시스템.

【청구항 15】

제9항에 있어서, 상기 코-프로세서는

비디오, 오디오, 비디오 캡처와 플레이백, 전화 통신, 음성인식과 합성, 또는 통신 멀티미디어 기능을 포함하는 상기 DSP 기능을 수행하는 것을 특징으로 하는 컴퓨터 시스템.

【청구항 16】

제15항에 있어서, 상기 DSP 기능은

FIR(Finite Impulse Response) 및 IIR(Infinite Impulse Response) 필터들, FFT(Fourier Transform), 상관 함수(correlation function), 매트릭스 멀티플라이(matrix multiply), 또는 테일러 시리즈 함수(taylor series function)로 마이크로 코드화되는 것을 특징으로 하는 컴퓨터 시스템.

【청구항 17】

시스템 버스;

일련의 명령들을 수신하고 이를 디코딩하여 그 명령에 따른 동작을 실행하는 호스트 프로세서;

상기 시스템 버스의 사용 우선 순위를 중재하는 중재부;

상기 호스트 프로세서로부터 지시되는 디지털 신호 처리를 수행하는 데이터 프로세싱 장치들; 및

상기 데이터 프로세싱 장치들에 의해 처리되는 데이터들을 저장하는 외부 메모리를 구비하고,

상기 데이터 프로세싱 장치들 중 어느 하나는

명령어를 패치하여 실행하는 마이크로 프로세서(MCU);

디지털 신호 처리(DSP) 기능을 수행하는 코-프로세서;

상기 마이크로 프로세서가 처리하는 데이터 또는 상기 코-프로세서가 처리하는 제1군의 데이터를 저장되는 X 데이터 캐시; 및

상기 마이크로 프로세서가 처리하는 데이터 또는 상기 코-프로세서가 처리하는 제2군의 데이터를 저장하는 Y 데이터 캐시를 구비하는 것을 특징으로 하는 컴퓨터 시스템.

【청구항 18】

제17항에 있어서, 상기 컴퓨터 시스템은

사용자 필요에 따라 추가되는 슬레이브 장치들을 더 구비하는 것을 특징으로 하는 컴퓨터 시스템.

【청구항 19】

제18항에 있어서, 상기 슬레이브 장치들은

스토리지 확장 모듈, 비디오 컨트롤 확장 모듈, 멀티미디어 확장 모듈, 또는 통신 디바이스 확장 모듈인 것을 특징으로 하는 컴퓨터 시스템.

【청구항 20】

제18항에 있어서, 상기 컴퓨터 시스템은

상기 데이터 프로세싱 장치 및 슬레이브 장치들을 어드레싱하는 디코더를 더 구비하는 것을 특징으로 하는 컴퓨터 시스템.

【청구항 21】

제17항에 있어서, 상기 외부 메모리는

상기 X 데이터 캐시로부터/로 또는 Y 데이터 캐시로부터/로 데이터를 저장하는 MCU 데이터 영역;

상기 X 데이터 캐시로부터/로 데이터를 저장하는 X 데이터 영역; 및

상기 Y 데이터 캐시로부터/로 데이터를 저장하는 Y 데이터 영역을 구비하는 것을 특징으로 하는 컴퓨터 시스템.

【청구항 22】

제17항에 있어서, 상기 마이크로 프로세서는

정수, 부동소수점 및 부울의 계산 기능을 실행하는 것을 특징으로 하는 컴퓨터 시스템.

【청구항 23】

제17항에 있어서, 상기 코-프로세서는

복잡한 수학적 알고리즘을 실행하는 하드웨어 곱셈기에 연결된 수학 연산부를 구비하는 것을 특징으로 하는 컴퓨터 시스템.

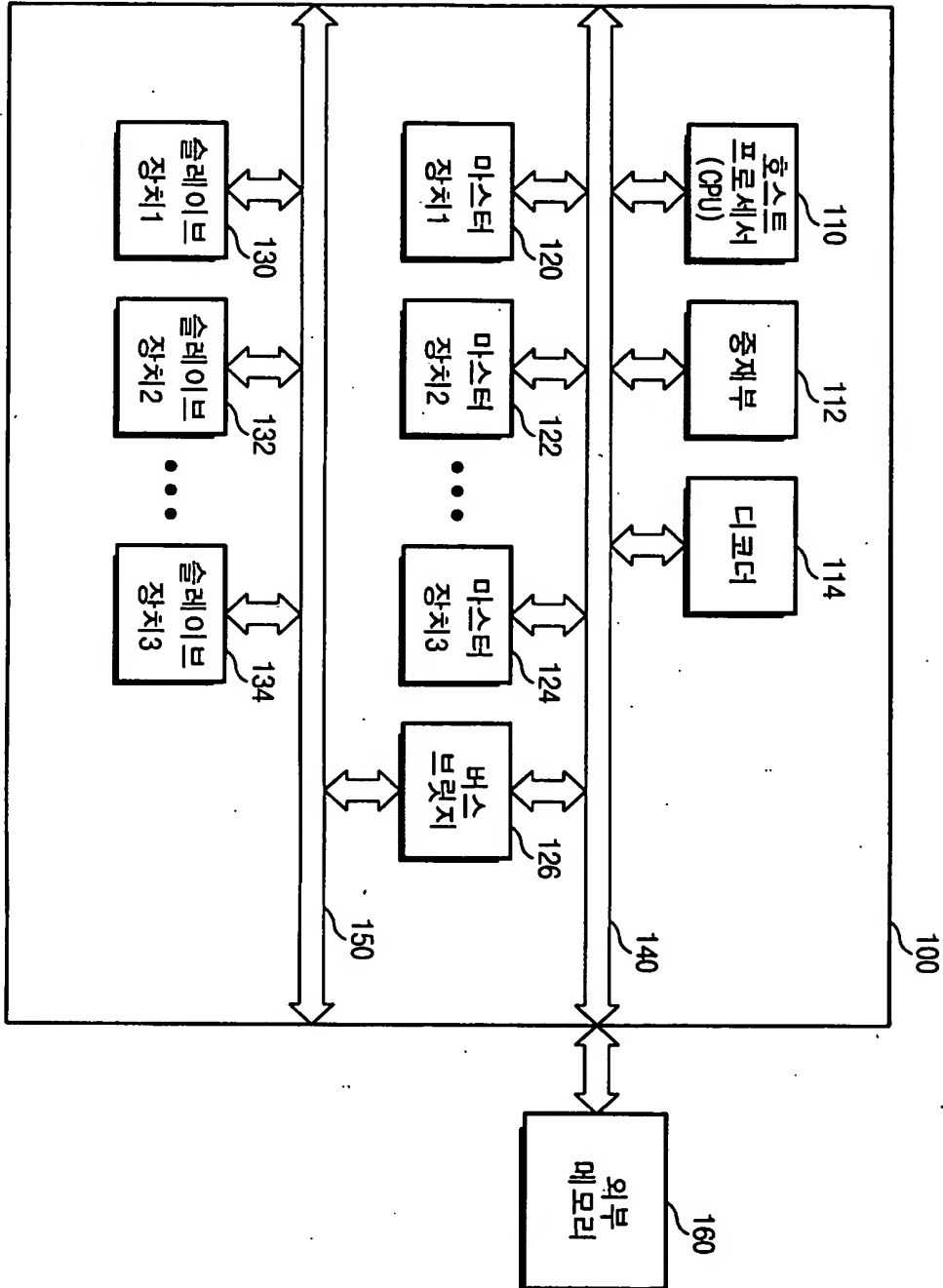
【청구항 24】

제17항에 있어서, 상기 DSP 기능은

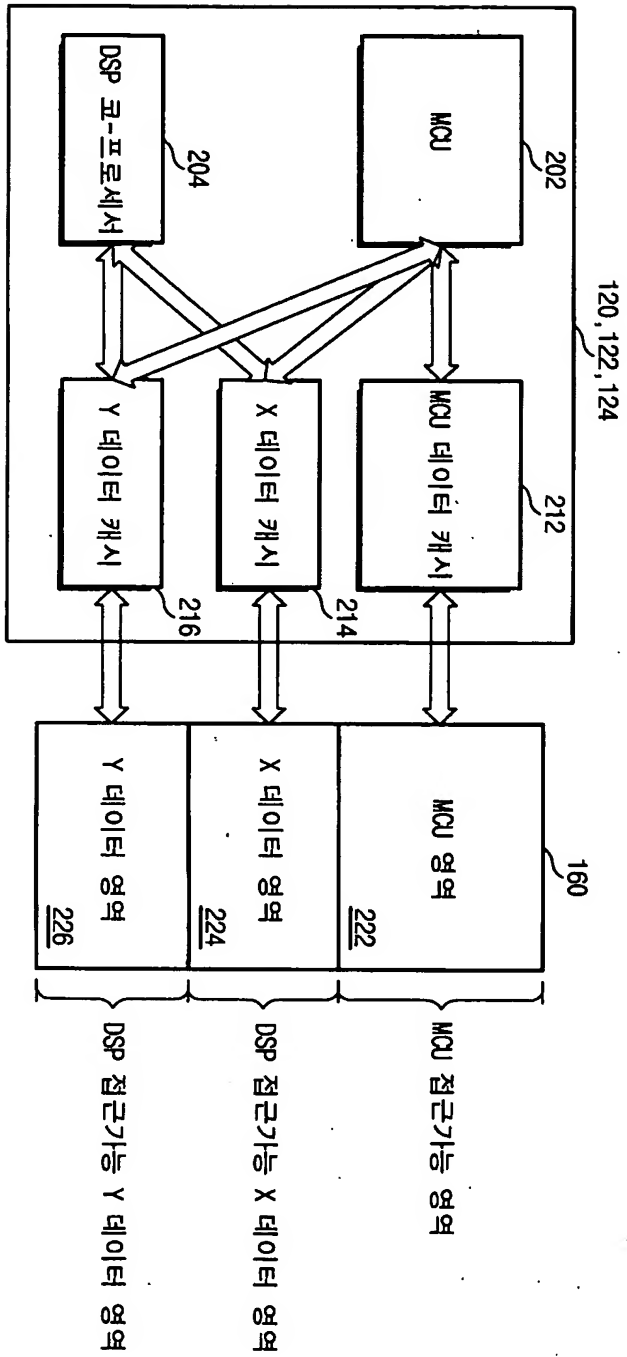
FIR(Finite Impulse Response) 및 IIR(Infinite Impulse Response) 필터들, FFT(Fourier Transform), 상관 함수(correlation function), 매트릭스 멀티플라이(matrix multiply), 그리고 테일러 시리즈 함수(taylor series function) 기능을 포함하는 것을 특징으로 하는 컴퓨터 시스템.

【도면】

【도 1】



【도 2】



【도 3】

